

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-284032
 (43)Date of publication of application : 15.10.1999

(51)Int.CI. H01L 21/60
 H01L 23/28
 // H05K 3/34

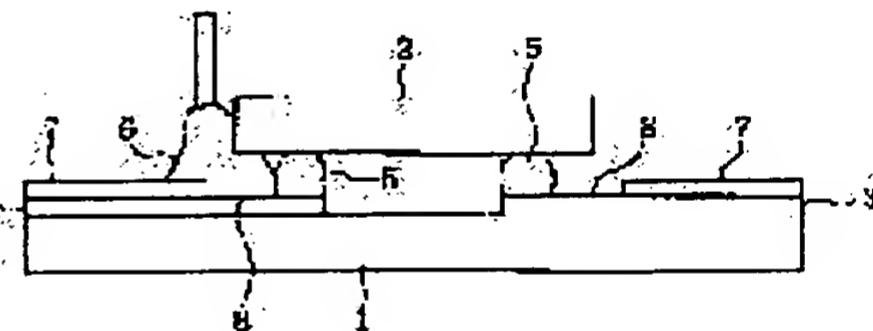
(21)Application number : 10-098576 (71)Applicant : RICOH CO LTD
 (22)Date of filing : 26.03.1998 (72)Inventor : TEZUKA SHINJI
 KOMATSU KOZO
 SAKATSU TSUTOMU
 IWABUCHI TOSHIAKI
 KUWAZAKI SATOSHI
 OKURA HIDEAKI

(54) FLIP-CHIP CONNECTION METHOD AND STRUCTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a flip-chip connection structure, which can be easily formed without leaving connection deteriorating foreign bodies and air bubbles inside, even if the connection between a semiconductor chip and a board is lessened in pitch, and bumps become small in diameter.

SOLUTION: A semiconductor chip 2 is mounted on a board 1 via electrode patterns 3 provided to the board 1, regions of the electrode patterns 3 located outside of the semiconductor chip 2 are each covered with a solder resist 7, the semiconductor chip 2 is connected to the connection parts of the electrode patterns with bumps 5, and after flux is cleaned off, a gap between the board 1 and the semiconductor chip 2 and its vicinity are sealed up with resin, and film adjustment parts 8, where the solder resist 7 is thinner than the other part or no solder resist 7 is formed, are provided to the regions of the board 1, where no electrode pattern 3 is formed facing the corners of the semiconductor chip 2. At this point, an encapsulating resin 6 is made to flow fully in between the board 1 and the semiconductor chip 2 through the film adjustment part 8, where a gap between the board 1 and the semiconductor chip 2 is wide, a resin encapsulating operation is carried out without generating air bubbles, so that no air bubble is left inside a flip-chip connection structure so as not to cause a connection failure, and a semiconductor device of this constitution can be markedly prolonged in service life.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-284032

(43)公開日 平成11年(1999)10月15日

(51)Int.Cl.⁸

H 01 L 21/60
23/28
// H 05 K 3/34

識別記号

311
502

F I

H 01 L 21/60
23/28
H 05 K 3/34

311 S
Z
502 E

審査請求 未請求 請求項の数4 FD (全5頁)

(21)出願番号 特願平10-98576

(22)出願日 平成10年(1998)3月26日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 手塚 伸治

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72)発明者 小松 耕三

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72)発明者 坂津 務

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

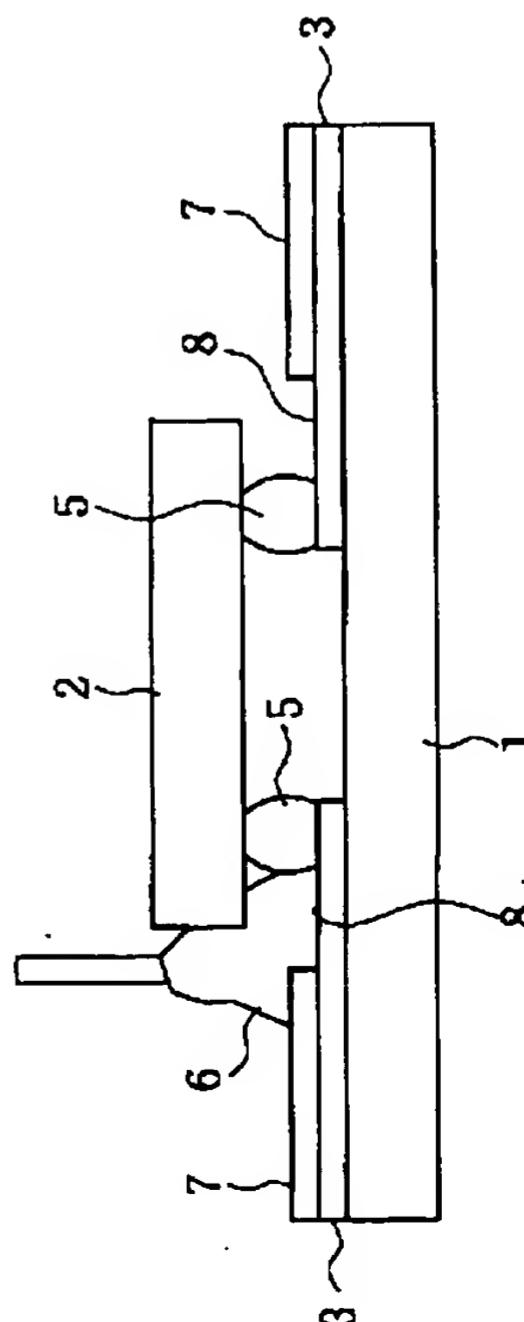
最終頁に続く

(54)【発明の名称】 フリップチップ接続方法とフリップチップ接続構造

(57)【要約】

【課題】 半導体チップとの接続ピッチが小さくなり、バンプの直径が小さくなつても、内部に接続劣化異物や気泡が残存せずに簡単に構成されるフリップチップ接続構造を提供する。

【解決手段】 電極パターン3の半導体チップ2との接続部以外の半導体チップ2の外側領域が、ソルダーレジスト7で覆われる基板1に、半導体チップ2がバンプ5で接続部に接続され、ブラックスの洗浄後に、基板1と半導体チップ2の間隙とその周辺が樹脂で封止され、半導体チップ2の隅部に対向し、電極パターン3が形成されない基板1位置に、ソルダーレジスト7の膜厚が他より薄いか、ソルダーレジスト7が形成されない膜調整部8が設けられ、基板1と半導体チップ2の間隔が広い膜調整部8から、封止樹脂6が基板1と半導体チップ2間に完全に流入され、封止樹脂6の封止が気泡を生ぜず行なわれ、内部に気泡が残存せず接続不良の発生がなく安定した動作寿命を大幅に延長することが可能になる。



【特許請求の範囲】

【請求項1】プリント回路の電極パターンの半導体チップとの接続部以外の前記半導体チップの外側領域が、ソルダーレジスト膜で覆われる基板に対して、前記半導体チップを前記接続部に導電性のバンプを介して接続し、該接続に伴って生じる接続劣化異物を洗浄後に、前記基板と前記半導体チップ間の間隙領域及びその周辺部を樹脂により封止するフリップチップ接続方法において、

前記半導体チップの隅部に対向し、前記電極パターンが形成されていない基板位置に対して、形成されるソルダーレジスト膜の膜厚が他部分よりも薄いか、またはソルダーレジスト膜が形成されない膜調整部を設けるソルダーレジスト膜調整ステップと該ソルダーレジスト膜調整ステップで設けられた膜調整部より前記樹脂による封止を行なう樹脂封止ステップとを有することを特徴とするフリップチップ接続方法。

【請求項2】請求項1記載のフリップチップ接続方法に対して、

前記半導体チップに対向する前記基板の領域に、貫通孔を形成する貫通孔形成ステップと、

前記貫通孔を介して、前記接続劣化異物の洗浄を行なう洗浄ステップとが設けられている特徴とするフリップチップ接続方法。

【請求項3】プリント回路の半導体チップとの接続部以外の前記半導体チップの外側領域が、ソルダーレジスト膜で覆われる基板と、前記半導体チップが前記接続部に導電性のバンプを介して接続され、該接続に伴って生じる接続劣化異物の洗浄後に、前記基板と前記半導体チップ間の間隙領域及びその周辺部が樹脂により封止されてなるフリップチップ接続構造において、

前記半導体チップの隅部に対向し、前記電極パターンが形成されていない基板位置に対して、形成されるソルダーレジスト膜が他部分よりも薄いか、または、ソルダーレジスト膜が形成されておらず、樹脂が流入され前記封止が行なわれる膜調整部が設けられていることを特徴とするフリップチップ接続構造。

【請求項4】請求項3記載のフリップチップ接続構造に対して、

前記半導体チップに対向する前記基板の領域に、前記接続劣化異物の洗浄を行なう貫通孔が形成されていることを特徴とするフリップチップ接続構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はフリップチップ接続方法とフリップチップ接続構造に関する。

【0002】

【従来の技術】従来のフリップチップ接続構造では、図6に示すように、プリント回路の電極パターン3の端部に設けられ、搭載接続される半導体チップとの接続部分

10

の外側より、半導体チップの搭載領域以外の基板1の全面には、一様な厚みのソルダーレジスト7が被覆配設され形成されている。そして、この基板1に対して、図5に示すように、基板1のプリント回路の電極パターン3の端部が、金や半田などの導電材で形成されるバンプ5を介して、半導体チップ2と加熱や加圧など、バンプ5の材質に応じた方法で接続され、接続部のフラックスなどの接続劣化異物を洗浄した後に、半導体チップ2と基板1との間隙に封止樹脂が注入され硬化処理されている。

【0003】この従来のフリップチップ接続構造では、接続ピッチが小さくなると、バンプ5の直径が小さくなり、図7に示すように、バンプ5の高さが例えば40～50μmと小さくなると、半導体チップ2とソルダーレジスト7間の間隔dがかなり小さくなり、電極パターン3とバンプ5の接続部分の洗浄が充分に行なえなくなり、封止樹脂6の流入時にも、基板1と半導体チップ2間に封止樹脂6が完全に流入せず、硬化後に気泡が残存する状態となる。

20

【0004】このようにフリップチップ接続構造内に、フラックスなどの接続劣化異物や気泡が残存していると、残存する接続劣化異物により、腐食が発生して動作寿命が短縮したり、残存する気泡により接続が不安定になることがある。

【0005】

【発明が解決しようとする課題】前述した従来のフリップチップ接続構造での問題を解決するために、特開平5-144816号公報において、電極パターンの端部の半導体チップの接続部を、ソルダーレジストより高く形成したフェイスダウンボンディング方法が開示されている。

【0006】しかし、この開示の方法では、基板の作成時に、通常の基板形状を形成した後に、さらに、メッキ工程などにより、電極パターンの端部を形成する必要があり、追加工程を施すために製造工程が延長され、さらに、メッキ廃液の処理などの設備が必要になり製造コストも増大することになる。

40

【0007】本発明は、前述したようなフリップチップ接続構造の現状に鑑みてなされたものであり、その第1の目的は、半導体チップとの接続ピッチが小さくなり、バンプの直径が小さくなつても、電極パターンの接続部の洗浄と、基板と半導体チップ間の樹脂による封止とを、簡単且つ完全に行なうことが可能なフリップチップ接続方法を提供することにある。

【0008】また、本発明の第2の目的は、半導体チップとの接続ピッチが小さくなり、バンプの直径が小さくなつても、内部に接続劣化異物や気泡が残存せずに簡単に構成されるフリップチップ接続構造を提供することにある。

50

【0009】

【課題を解決するための手段】前記第1の目的を達成するためには、請求項1記載の発明は、プリント回路の電極パターンの半導体チップとの接続部以外の前記半導体チップの外側領域が、ソルダーレジスト膜で覆われる基板に対して、前記半導体チップを前記接続部に導電性のバンプを介して接続し、該接続に伴って生じる接続劣化異物を洗浄後に、前記基板と前記半導体チップ間の間隙領域及びその周辺部を樹脂により封止するフリップチップ接続方法において、前記半導体チップの隅部に対向し、前記電極パターンが形成されていない基板位置に対して、形成されるソルダーレジスト膜の膜厚が他部分よりも薄いか、またはソルダーレジスト膜が形成されない膜調整部を設けるソルダーレジスト膜調整ステップと該ソルダーレジスト膜調整ステップで設けられた膜調整部より前記樹脂による封止を行なう樹脂封止ステップとを有することを特徴とするものである。

【0010】同様に前記第1の目的を達成するために、請求項2記載の発明は、請求項1記載の発明に対して、前記半導体チップに対向する前記基板の領域に、貫通孔を形成する貫通孔形成ステップと、前記貫通孔を介して、前記接続劣化異物の洗浄を行なう洗浄ステップとが設けられている特徴とするものである。

【0011】前記第2の目的を達成するために、請求項3記載の発明は、プリント回路の半導体チップとの接続部以外の前記半導体チップの外側領域が、ソルダーレジスト膜で覆われる基板と、前記半導体チップが前記接続部に導電性のバンプを介して接続され、該接続に伴って生じる接続劣化異物の洗浄後に、前記基板と前記半導体チップ間の間隙領域及びその周辺部が樹脂により封止されてなるフリップチップ接続構造において、前記半導体チップの隅部に対向し、前記電極パターンが形成されていない基板位置に対して、形成されるソルダーレジスト膜が他部分よりも薄いか、または、ソルダーレジスト膜が形成されておらず、樹脂が流入され前記封止を行なわれる膜調整部が設けられていることを特徴とするものである。

【0012】同様に前記第2の目的を達成するために、請求項4記載の発明は、請求項3記載の発明に対して、前記半導体チップに対向する前記基板の領域に、前記接続劣化異物の洗浄を行なう貫通孔が形成されていることを特徴とするものである。

【0013】

【発明の実施の形態】【第1の実施の形態】本発明をフリップチップ接続構造に係る第1の実施の形態に基づいて、図1及び図2を参照して説明する。図1は本実施の形態の構成を示す平面説明図、図2は本実施の形態の封止工程を示す断面説明図である。

【0014】本実施の形態では、図1及び図2に示すように、基板1には、搭載接続される半導体チップ2の隅部に対向して、電極パターン3が形成されていない基板

位置に対して、形成されるソルダーレジストの膜厚が他部分よりも薄いか、またはソルダーレジストが形成されない膜調整部8が、ソルダーレジスト膜の現像パターンの変更により設けられている。

【0015】そして、本実施の形態では、この基板1と半導体チップ2の間隔が広い膜調整部8より、洗浄液による接続部のフラックスなどの接続劣化異物の洗浄が行なわれ、この洗浄後に、膜調整部8より封止樹脂6が基板1と半導体チップ2間に流入され、基板1と半導体チップ2の間隙とその周辺部の封止樹脂6による封止が行なわれている。

【0016】本実施の形態のその他の部分の構成は、すでに図5及び図6を参照して説明した従来のフリップチップ接続構造と同一なので、重複する説明は行なわない。

【0017】このように本実施の形態では、ソルダーレジスト膜の現像パターンの変更により、簡単に形成される膜調整部8では、基板1と半導体チップ2の間隔が広いので、封止樹脂6は、基板1と半導体チップ2間に容易に且つ気泡を残存させることなく隅々まで流入され充填されていて、対角位置に存在する膜調整部8間で、充填時の内部空気の排出効果が高まり、内部に残存気泡が存在せず、経年的に残存気泡による接続不良が発生することが完全に防止され、接続不良の発生がない安定した動作を行なう動作寿命を大幅に延長することが可能になる。

【0018】【第2の実施の形態】本発明の第2の実施の形態を、図3及び図4を参照して説明する。図3は本実施の形態の構成を示す平面説明図、図4は本実施の形態の洗浄工程を示す断面説明図である。

【0019】本実施の形態では、図3及び図4に示すように、半導体チップ2に対向する基板1に接続部のフラックスなどの接続劣化異物の洗浄時に洗浄液が流入される貫通孔10が形成されている。この貫通孔10は、図3及び図4では一個形成されているが、必要に応じて複数個形成することが可能である。

【0020】本実施の形態のその他の部分の構成は、すでに図1及び図2を参照して説明した従来のフリップチップと同一なので、重複する説明は行なわない。

【0021】このような構成の本実施の形態では、接続部のフラックスなどの接続劣化異物の洗浄時には、図4に示すように、貫通孔10から洗浄液11iを注入させ、バンプ5と電極パターン3との接続部のフラックスなどの接続劣化異物を含んだ洗浄液11oが、半導体チップ2の下側から、基板1と半導体チップ2の間隔が広い膜調整部8を通って、完全に外部に排出されている。このために、本実施の形態によると、すでに説明した第1の実施の形態で得られる効果に加えて、フリップチップ構造内部には、接続劣化異物が残存しておらず、接続劣化異物による経年的な腐食の発生がなく、安定した動

作を行なう動作寿命を大幅に延長することが可能になる。

【0022】

【発明の効果】請求項1記載の発明に係るフリップチップ接続方法によると、プリント回路の電極パターンの半導体チップとの接続部以外の半導体チップの外側領域が、ソルダーレジスト膜で覆われる基板に対して、半導体チップを導電性のバンプを介して接続部に接続し、該接続に伴って生じる接続劣化異物を洗浄した後に、基板と半導体チップ間の間隙領域及びその周辺部が樹脂により封止されるが、半導体チップの隅部に対向して、電極パターンが形成されていない基板位置に対して、形成されるソルダーレジスト膜の膜厚が他部分よりも薄いか、またはソルダーレジスト膜が形成されない膜調整部が、ソルダーレジスト膜の現像パターンの変更により簡単に設けられ、この基板と半導体チップの間隔が広い膜調整部より樹脂による封止が行なわれる所以、樹脂は気泡を生じることなく、基板と半導体チップ間に容易に流入し、短時間で完全な封止を行なうことが可能になる。

【0023】請求項2記載の発明に係るフリップチップ接続方法によると、請求項1記載の発明で得られる効果に加えて、半導体チップに対向する基板の領域に形成される貫通孔を介して、内部に残存する接続劣化異物を完全に洗浄することが可能になる。

【0024】請求項3記載の発明に係るフリップチップ接続構造によると、プリント回路の電極パターンの半導体チップとの接続部以外の半導体チップの外側領域が、ソルダーレジスト膜で覆われる基板に、半導体チップが導電性のバンプを介して接続され、該接続に伴って生じる接続劣化異物の洗浄後に、基板と半導体チップ間の間隙領域及びその周辺部が樹脂により封止されているが、半導体チップの隅部に対向し、電極パターンが形成されていない基板位置に対して、ソルダーレジスト膜の膜厚が他部分よりも薄く形成されるか、またはソルダーレジスト膜が形成されない膜調整部が設けられ、この基板と半導体チップの間隔が広い膜調整部から、樹脂

が基板と半導体チップ間に完全に流入され、樹脂による封止が気泡を生じることなく行なわれているので、内部に気泡が残存することなく、接続不良の発生がなく、安定した動作を行なう動作寿命を延長することが可能になる。

【0025】請求項4記載の発明に係るフリップチップ接続構造によると、請求項3記載の発明で得られる効果に加えて、半導体チップに対向する基板の領域に形成された貫通孔を介して、内部に残存する接続劣化異物が完全に洗浄されていて、腐食の発生がなく、安定した動作を行なう動作寿命を延長することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の構成を示す平面説明図である。

【図2】同実施の形態の封止工程を示す断面説明図である。

【図3】本発明の第2の実施の形態の構成を示す平面説明図である。

【図4】同実施の形態の洗浄工程を示す断面説明図である。

【図5】従来のフリップチップ接続構造を示す断面説明図である。

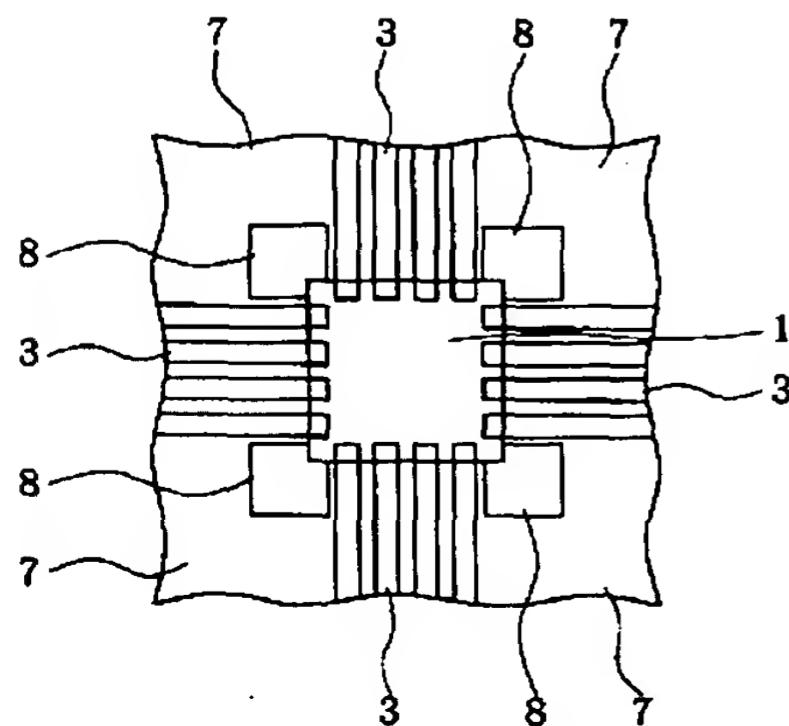
【図6】従来のフリップチップ接続構造を示す平面説明図である。

【図7】従来のフリップチップ接続構造での封止工程の説明図である。

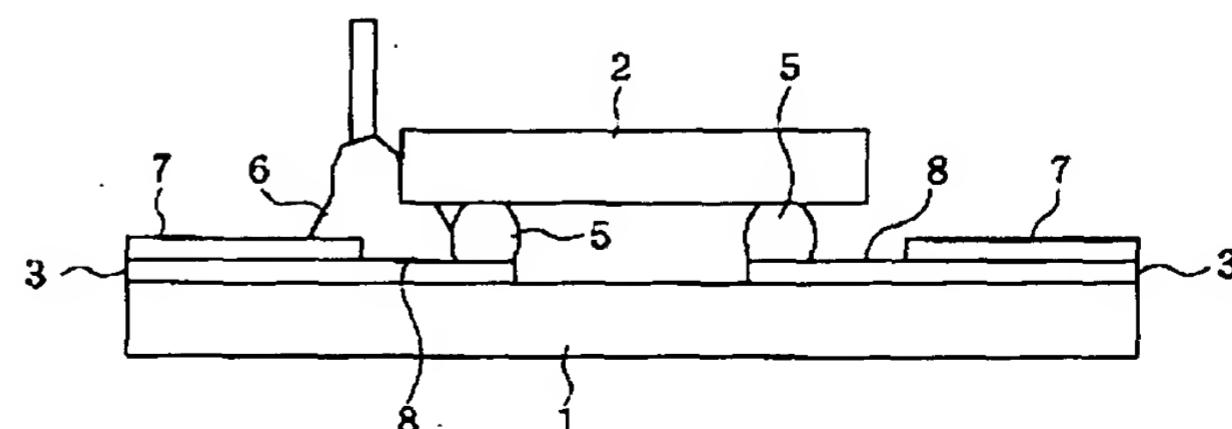
【符号の説明】

1	基板
2	半導体チップ
3	電極パターン
5	バンプ
6	封止樹脂
7	ソルダーレジスト
8	膜調整部
10	貫通孔
110, 11i	洗浄液

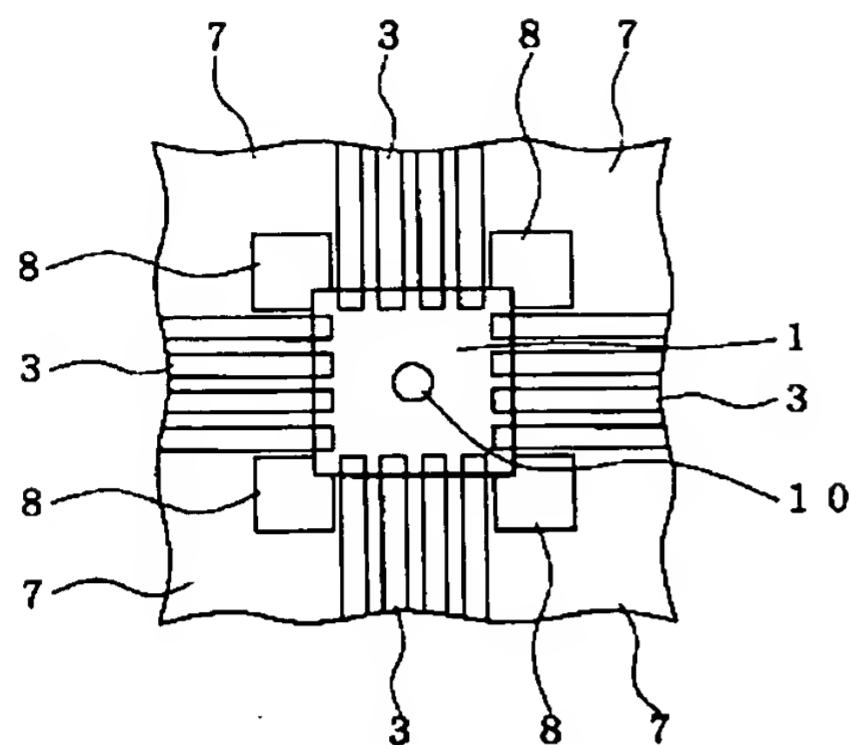
【図1】



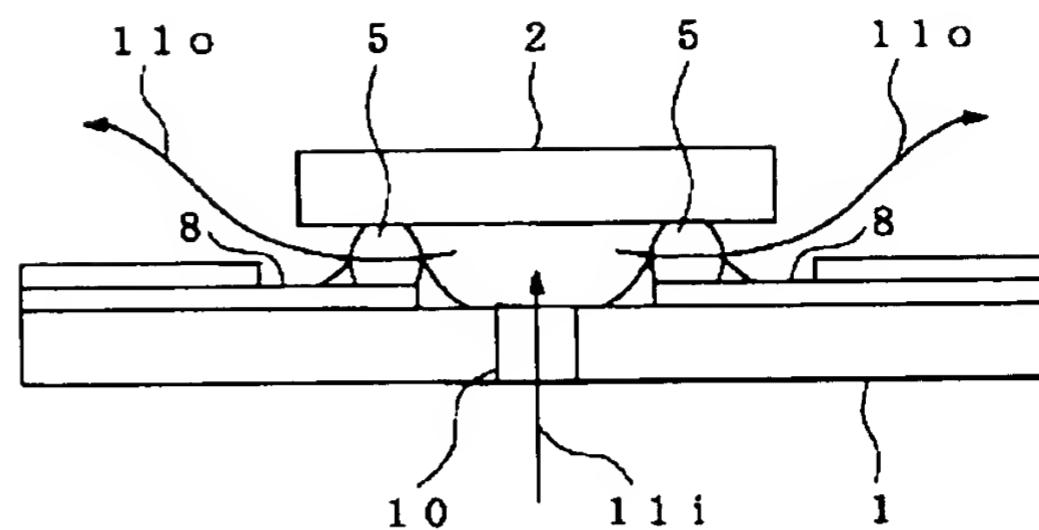
【図2】



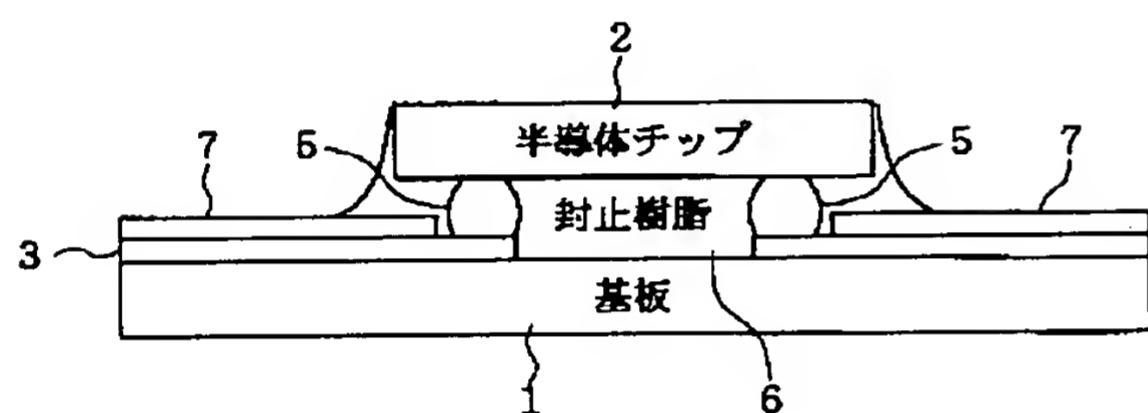
【図3】



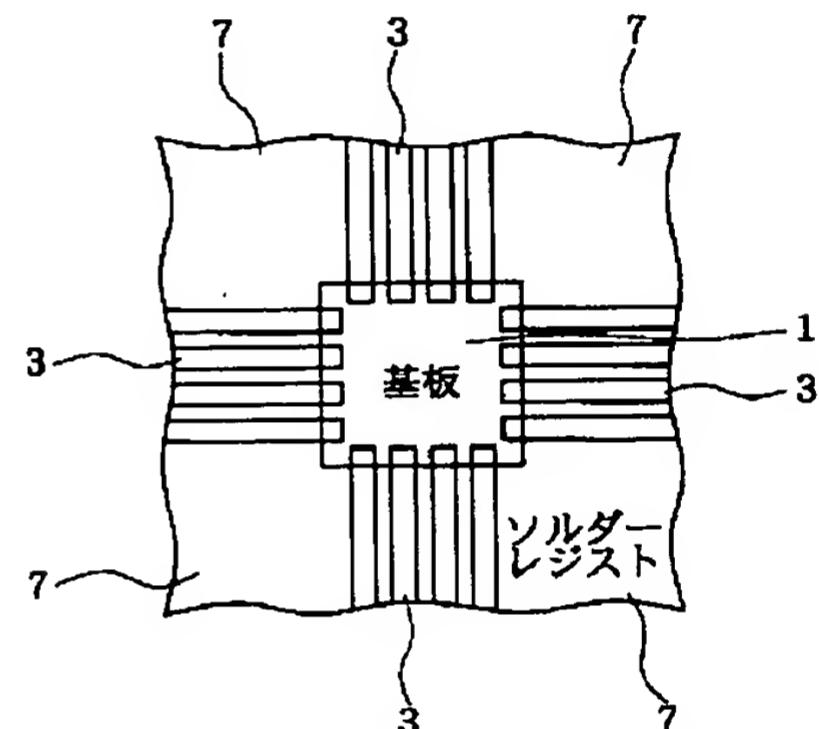
【図4】



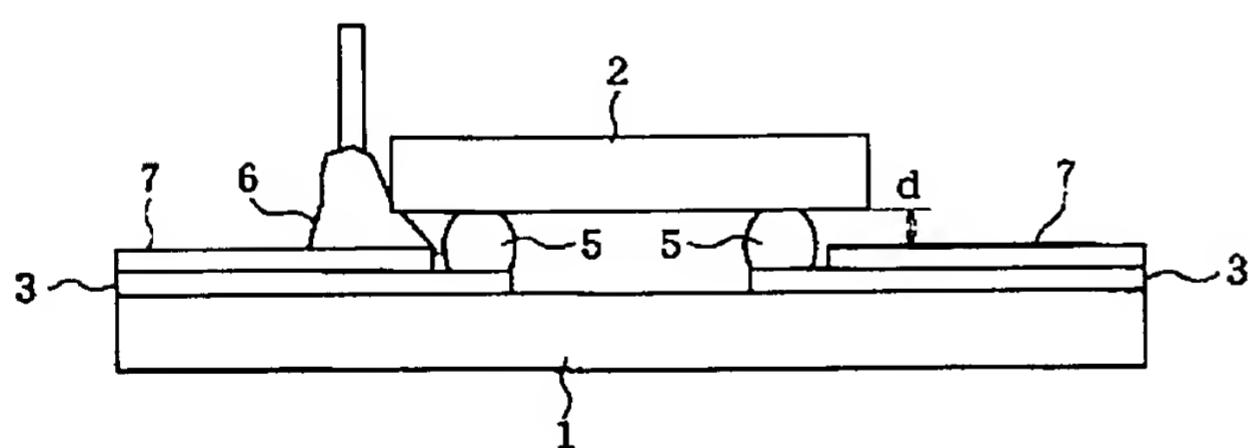
【図5】



【図6】



【図7】



フロントページの続き

(72) 発明者 岩渕 寿章
東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72) 発明者 桑崎 聰
東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72) 発明者 大倉 秀章
東京都大田区中馬込1丁目3番6号 株式
会社リコー内